

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 02-153527
 (43) Date of publication of application : 13. 06. 1990

(51) Int. Cl. H01L 21/304
 H01L 21/321

(21) Application number : 63-308507 (71) Applicant : FUJITSU LTD
 (22) Date of filing : 05. 12. 1988 (72) Inventor : KONNO JUNICHI

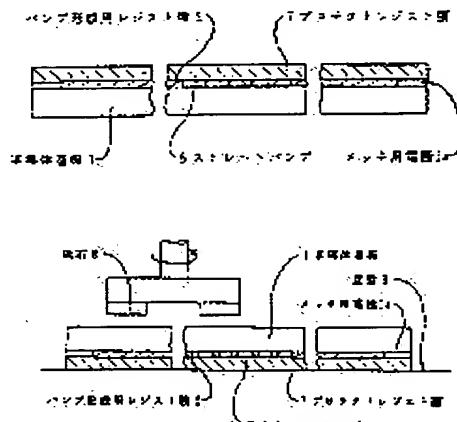
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To prevent a semiconductor substrate from having any microcrack at all as well as a rear side metallic layer from being released by any pollution on the rear side by a method wherein, after forming a protective film on masks and bump electrodes, the rear side main surface is ground up.

CONSTITUTION: Bump forming resist films 5 to be masks in almost the same film thickness as that of straight bumps 6 to be formed on the surface of a semiconductor 1 are formed and then opening parts are formed on the bump forming parts 6 by photolithography. The bumps 6 are formed by plating process. A protective resist film 7 is formed without removing the films 5. The film 7 offsets the difference in the levels of the films 5, the bumps 6 and a plating electrode 1a to make the film 7 almost in parallel with the rear side of the substrate 1.

Next, the substrate 1 is mounted to bring the film 7 into contact with the surface of a surface plate 9 of a grinder so that the rear side of the substrate 1 may be ground up by grindstones 8. Through these procedures, the semiconductor substrate can be prevented from having any microcrack at all as well as a rear side metallic layer from being released by any pollution on the rear side.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

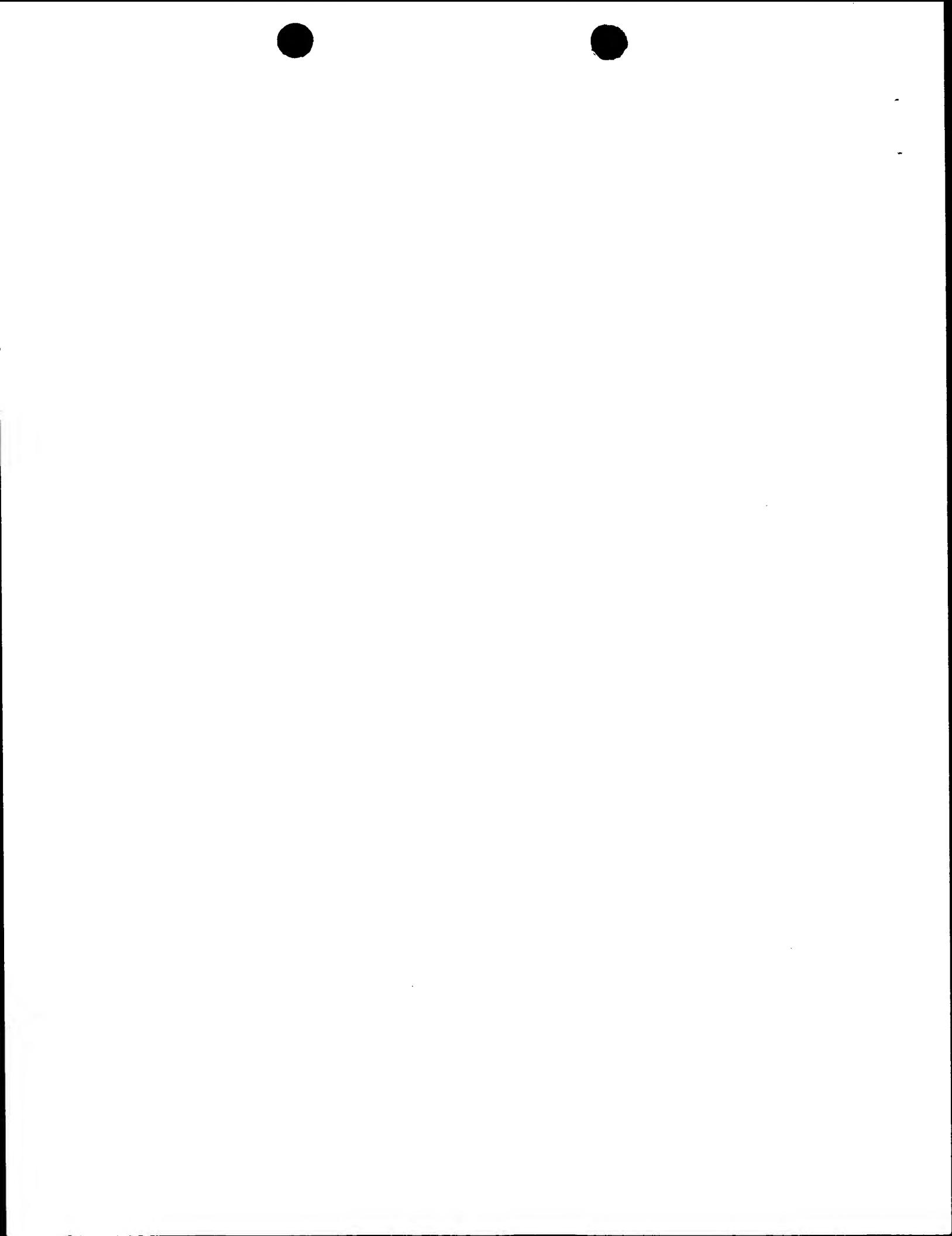
[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2000 Japanese Patent Office



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

平2-153527

⑤Int.CI. 5

H 01 L 21/304
21/321

識別記号

321 B

庁内整理番号

8831-5F

⑥公開 平成2年(1990)6月13日

6810-5F H 01 L 21/92

審査請求 未請求 請求項の数 1 (全5頁)

⑦発明の名称 半導体装置の製造方法

⑧特願 昭63-308507

⑨出願 昭63(1988)12月5日

⑩発明者 今野順一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑪出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑫代理人 弁理士 井桁貞一

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板(1)の一主面上のバンプを形成する領域に開口部を有するマスク(5)を形成する工程と、

メッキを施して前記開口部内にバンプ電極(6)を形成する工程と、

前記マスク(5)及びバンプ電極(6)上に保護膜(7)を形成した後、前記半導体基板(1)の一主面を保持して反対側主面を研磨する工程と、

を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

半導体基板の背面の研磨方法の改良に関し、半導体基板にマイクロクラックを生じさせないで、かつ研磨液の背面を汚染させないで背面メタ

ル面の剥離を防止することが可能な半導体装置の製造方法の提供を目的とし、

半導体基板の一主面上のバンプを形成する領域に開口部を有するマスクを形成する工程と、メッキを施して前記開口部内にバンプ電極を形成する工程と、前記マスク及びバンプ電極上に保護膜を形成した後、前記半導体基板の一主面を保持して反対側主面を研磨する工程とを含むよう構成する。

(産業上の利用分野)

本発明は、半導体装置の製造方法に係り、特に半導体基板の背面の研磨方法の改良に関するものである。

ストレートバンプを備えたLSIなどの半導体装置の製造工程においては、通常は半導体基板の活性素子を形成している面にバンプ形成用マスクを形成してストレートバンプをメッキにより形成し、ストレートバンプ形成後、このマスクを除去した後、研磨工程においてストレートバンプを保護する保護膜を塗布し、活性素子を形成していな

い背面を研磨し、研磨工程の直後に金などの金属よりなる背面メタル層を蒸着或いはスパッタにより形成しているが、この研磨工程における砥石による加圧力により、ストレートバンプの形成時に形成されたメッキ用電極の部分の半導体基板にマイクロクラックが生じている。

このマイクロクラックの発生を防止するため、活性素子領域形成直後にストレートバンプを形成せず、まず研磨工程を行い、研磨工程終了後にストレートバンプを形成し、その後に背面メタル層を蒸着或いはスパッタにより形成すれば、研磨工程と背面メタル層形成工程の間に、ストレートバンプ形成工程を行うことになり、研磨加工した半導体基板の背面が汚染され、その後に形成した背面メタル層の剥離の原因となっている。

以上のような状況から、マイクロクラックを生じさせないで、かつ背面メタル層の剥離も発生させない半導体装置の製造方法が要望されている。

背面と平行でなくなる。

ついで、第2図(b)に示すように、プロテクトレジスト膜17が研磨機の定盤9の表面に接するように半導体基板11を載置し、半導体基板11の背面を研磨機の砥石8で研磨し、厚さ450μmの半導体基板11を厚さ300μmにする。

ストレートバンプ16の形成工程において、半導体基板11の周辺部にメッキ用の電極11aが形成されており、その表面に形成したプロテクトレジスト膜17の表面が他の部分と比べると高くなっているので、この研磨工程において、研磨機の砥石8の加圧力により、第2図(b)に示すように半導体基板11のこの電極11aの周辺部分にマイクロクラック11bが発生している。

(発明が解決しようとする課題)

以上説明した従来の半導体装置の製造方法においては、ストレートバンプを形成した後にプロテクトレジスト膜を形成して背面研磨を行うが、プロテクトレジスト膜では表面の段差が軽減されず、

(従来の技術)

従来の半導体装置の製造方法を第3図により工程順に説明する。

まず第3図(a)に示すように、表面に素子活性領域を形成した半導体基板11の表面にバンプ形成用レジスト膜15を塗布し、フォトリソグラフィー技術によりストレートバンプ形成部に開口部を形成し、半導体基板11の周辺に設けたメッキ用電極11aにメッキ用電源を接続してメッキによりストレートバンプ16を形成する。

この際、メッキ用電極11aはストレートバンプ16の膜厚と等しい膜厚にメッキされる。

つぎに、このバンプ形成用レジスト膜15を除去し、第3図(b)に示すようにプロテクトレジスト膜17を表面に形成する。

この場合、メッキ用電極11aの上に形成したプロテクトレジスト膜17の表面と、ストレートバンプ16の上に形成したプロテクトレジスト膜17の表面との間に20~30μmの段差が生じているので、プロテクトレジスト膜17の表面が半導体基板11の

メッキ用電極の上に形成したプロテクトレジスト膜の表面と、ストレートバンプの上に形成したプロテクトレジスト膜の表面との間に段差が生じているので、半導体基板の背面を研磨する際に加わる圧力により、半導体基板のメッキ用電極の近傍にマイクロクラックが発生する。

またその対策として、ストレートバンプを形成する前に背面の研磨を行い、その後ストレートバンプを形成し、ついで背面メタル層を形成すると、ストレートバンプ形成時に研磨済の背面が汚染されるため、背面メタル層が剥離するという問題点があった。

本発明は以上のような状況から、半導体基板にマイクロクラックを生じさせないで、かつ研磨済の背面を汚染させないで背面メタル層の剥離を防止することが可能な半導体装置の製造方法の提供を目的としたものである。

(課題を解決するための手段)

本発明の半導体装置の製造方法は、半導体基板

の一主面上のバンプを形成する領域に開口部を有するマスクを形成する工程と、メッキを施してこの開口部内にバンプ電極を形成する工程と、このマスク及びバンプ電極上に保護膜を形成した後、半導体基板の一主面を保持して反対側主面を研磨する工程とを含むよう構成する。

(作用)

即ち本発明においては、ストレートバンプ形成時に用いたバンプ形成用のマスク除去せずに、ストレートバンプ及びバンプ形成用のマスクの表面に更に保護膜を形成して表面を平坦にし、このストレートバンプを形成していない半導体基板の背面の研磨を行うから、保護膜の表面と半導体基板の背面とがほぼ平行になり、研磨工程において研磨機の砥石により圧力を加えても半導体基板にマイクロクラックが生じない。

また、背面研磨工程の前にストレートバンプを形成しているから、背面研磨工程と背面メタル層の形成工程との間に他の工程を行わず連続して処

理することができるので、基板背面の汚染による背面メタル層の剥離を防止することも可能となる。

(実施例)

以下、第1図～第2図により本発明による一実施例を工程順に説明する。

まず第1図(a)に示すように、表面に柔子活性領域を形成した半導体基板1の表面に形成するストレートバンプ6の膜厚とほぼ等しい膜厚のマスク、例えば膜厚30μmのバンプ形成用レジスト膜5を形成し、フォトリソグラフィー技術によりストレートバンプ形成部に開口部を形成し、次いで、半導体基板1の周辺に設けたメッキ用電極1aにメッキ用電源を接続してメッキにより25μm膜厚のストレートバンプ6を形成する。

このストレートバンプ6の形成を工程順に第2図により詳細に説明する。

まず、第2図(b)に示すように、半導体基板1の表面の絶縁膜2の表面に配線層3を形成し、この配線層3の表面に絶縁膜4を形成してストレート

バンプを形成する位置にフォトリソグラフィー技術により窓開けを行う。

つぎに、第2図(c)に示すように、絶縁膜4及び開口部の配線層3の表面にバンプ形成用レジスト膜5を形成し、ストレートバンプ6の形状の窓開けを行う。

ついで、第2図(d)に示すように、メッキを施して配線層3と接続したストレートバンプ6を形成する。

つぎに、このバンプ形成用レジスト膜5を除去せずにそのままの状態で第1図(a)に示すように保護膜、例えば膜厚20μmのプロテクトレジスト膜7を表面に形成する。

バンプ形成用レジスト膜5の膜厚をストレートバンプ6の高さとほぼ等しく形成しているから、このプロテクトレジスト膜7は、図示のようにその下層のバンプ形成用レジスト膜5とストレートバンプ6及びメッキ用電極1aの高さの差を完全に埋めることができるので、プロテクトレジスト膜7の表面と半導体基板1の背面はほぼ完全に

平行となる。

ついで、第1図(e)に示すように、プロテクトレジスト膜4が研磨機の定盤9の表面に接するよう半導体基板1を載置し、半導体基板1の背面を研磨機の砥石8で研磨し、厚さ450μmの半導体基板1を厚さ300μmにする。

このように、プロテクトレジスト膜7の表面と半導体基板1の背面がほぼ平行に形成されているので、研磨工程において砥石8の加圧力によって半導体基板1にマイクロクラックが発生することなくなる。

また、ストレートバンプ6の形成を背面研磨工程の前に行っているので、背面研磨工程と背面メタル層の形成工程とを連続して行うことが可能となり、背面メタル層の剥離を防止することも可能となる。

なお、バンプ形成用レジスト膜5とプロテクトレジスト膜7と同じレジストを用いると、レジスト除去を同時に行うことができるので工数を削減することが可能となる。

上記実施例においては、保護膜としてレジスト膜を用いたが、10~20μm厚のテープを用いることも可能である。

(発明の効果)

以上の説明から明らかなように本発明によれば、ストレートバンプを形成した後にプロテクトレジスト膜を半導体基板の背面と平行に形成し、その後に背面研磨を行うので、半導体基板のマイクロクラックの発生及び背面メタル層の剥離を防止することが可能となる等の利点があり、著しい経済的及び、信頼性向上の効果が期待できる半導体装置の製造方法の提供が可能となる。

4. 図面の簡単な説明

第1図は本発明による一実施例を工程順に示す側断面図、

第2図は本発明による一実施例のストレートバンプ形成を工程順に示す側断面図、

第3図は従来の半導体装置の製造方法を工程順

に示す側断面図、

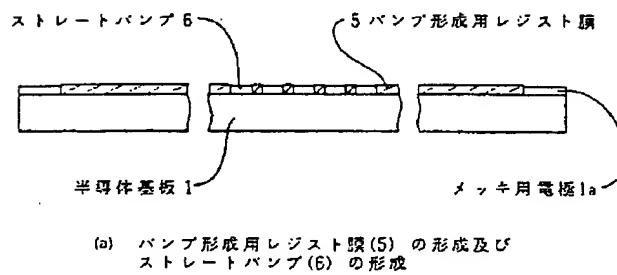
である。

図において、

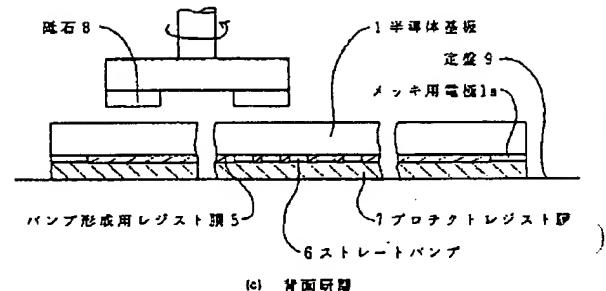
- 1は半導体基板、
- 1aはメッキ用電極、
- 2は絶縁膜、
- 3は配線層、
- 4は絶縁膜、
- 5はバンプ形成用レジスト膜、
- 6はストレートバンプ、
- 7はプロテクトレジスト膜、
- 8は砥石、
- 9は定盤、

を示す。

代理人 弁理士 井桁貞一

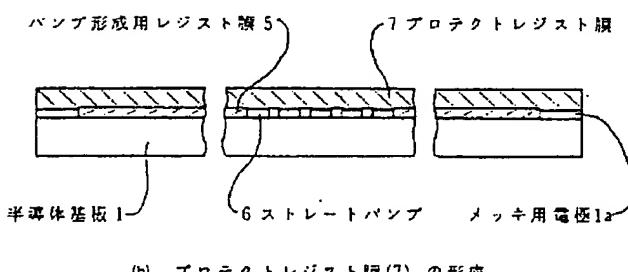


(a) バンプ形成用レジスト膜(5)の形成及びストレートバンプ(6)の形成



本発明による一実施例を工程順に示す側断面図

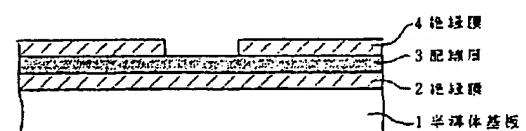
第1図(その2)



(b) プロテクトレジスト膜(7)の形成

本発明による一実施例を工程順に示す側断面図

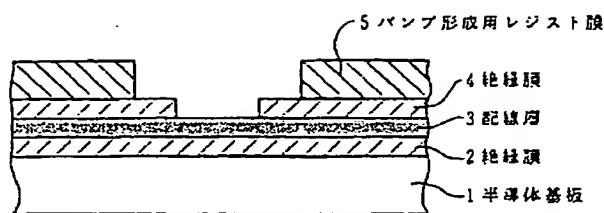
第1図(その1)



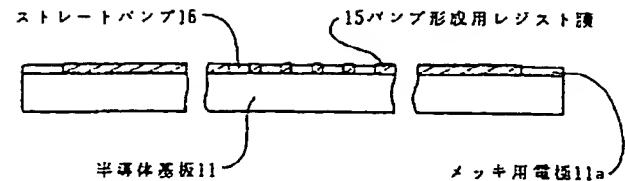
(a) 绝縁膜(4)の形成及び窓開け

本発明による一実施例のストレートバンプ形成を工程順に示す側断面図

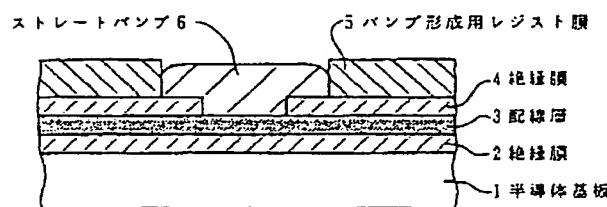
第2図(その1)



(b) バンプ形成用レジスト膜(5)の形成及びを開け



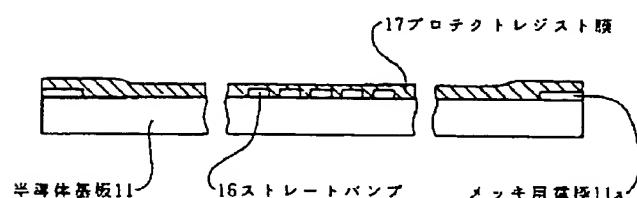
(a) バンプ形成用レジスト膜(15)の形成及びストレートバンプ(16)の形成



(c) ストレートバンプ(6)の形成

本発明による一実施例の
ストレートバンプ形成を工程順に示す側断面図

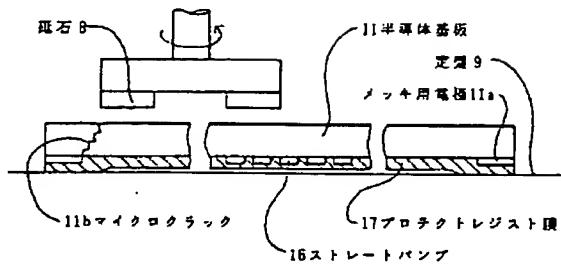
第 2 図(その 2)



(d) バンプ形成用レジスト膜(15)の除去及びプロテクトレジスト膜(17)の形成

従来の半導体装置の製造方法を工程順に示す側断面図

第 3 図(その 1)



(e) 背面研磨

従来の半導体装置の製造方法を工程順に示す側断面図

第 3 図(その 2)

